

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11) Publication

number:

1020020018977 A

(43) Date of publication of application:

09.03.2002

(21) Application number: 1020010054086

(71) Applicant:

INFINEON TECHNOLOGIES  
AG

(22) Date of filing: 04.09.2001

(72) Inventor:

THEWES ROLAND  
VAN DENBERG HUGO  
WEBER WERNER(30) Priority: 04.09.2000 DE 2000  
10043440

(51) Int. Cl

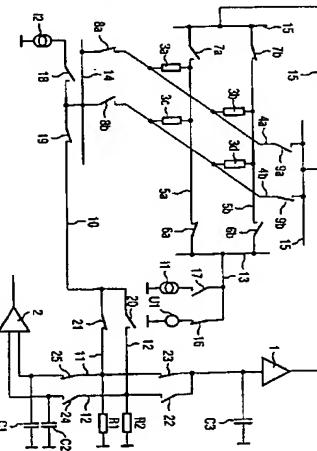
G11C 11/15

## (54) MAGNETO-RESISTIVE MEMORY AND METHOD FOR READING MAGNETO-RESISTIVE MEMORY

(57) Abstract:

PURPOSE: A method for reading a magneto-resistive memory is provided to record, to read and to rewrite magneto-resistive memory cells accurately and stably by arranging memory cells regardless of pitch position.

CONSTITUTION: A magneto-resistive memory includes magneto-resistive memory cells(3a,b,c,d) disposed in plural rows and columns. A bit line(4a,b) is connected to first poles of the memory cells of the column. A word line(5a,b) is connected to second poles of the memory cells of the row. A read voltage source(U1) is separately connectable to first ends of the word lines. A voltage evaluator(2) has an input part separately connectable to first ends of the bit lines via an evaluation line. A first terminating resistor(R1) branches from the evaluation line. An impedance converter(1) has an input part connected to the evaluation line and has an output part separately connectable to second ends of the bit lines and word lines.



&amp;copy; KIPO 2002

## Legal Status

Date of request for an examination (20010904)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20040723)

Patent registration number (1004535800000)

Date of registration (20041011)

Date of opposition against the grant of a patent (00000000)

특 2002-0018977

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.  
G11C 11/15(11) 공개번호 특 2002-0018977  
(43) 공개일자 2002년 03월 09일

(21) 출원번호	10-2001-0054086
(22) 출원일자	2001년 09월 04일
(30) 우선권주장	10043440.1 2000년 09월 04일 독일(DE)
(71) 출원인	인피니언 테크놀로지스 아게 추후제출
(72) 발명자	독일 뮌헨 장크트 마틴 슈트라쎄 53 (우: 81669) 테베스, 르란트 독일 82194 그로벤헬 애거하임 슈트라쎄 7 베버, 베르너 독일 80637 뮌헨 프란츠-마르크-슈트라쎄 6/3 반덴베르크, 헨리 네덜란드 앤엘-8355 디트호른리틀란덴 1 남상선
(74) 대리인	

## 설명구 : 있음

## (54) 자기 저항성 메모리 및 상기 메모리에 관한 방법

## 요약

본 발명은 다수의 행 및/또는 다수의 열로 배치된 자기 저항성 메모리 셀들(3a, b, c, d)의 어레이를 가지며; 열에 속하는 메모리 셀(3a, b, c, d)의 제 1 자극과 접속되어 있는 각각의 열에 대한 하나의 비트 라인(4a, b)을 포함하며; 행에 속하는 메모리 셀(3a, b, c, d)의 제 2 자극과 접속되어 있는 각각의 행에 대한 하나의 워드 라인(5a, b)을 포함하며; 스위칭 소자(6a, 6b, 16)에 의해 비트 라인들의 제 1 단부들과 각각 접속 가능한 하나의 판독 전압원(U1)을 포함하며; 평가 장치(2)로서, 평가 라인을 통과하는 자신의 적어도 하나의 입력부가 스위칭 소자(6a, 6b, 11)에 의해 비트 라인(4a, b)의 제 1 단부와 각각 접속 가능한 하나의 전압 평가 장치(2)를 포함하는 자기 저항성 메모리에 관한 것으로, 동시에 상기 평가 라인(10)에 의해서는 제 1 증단 저항기(R1)가 분기된다. 그리고 본 발명은 자신의 입력부가 평가 라인과 접속되어 있으며, 자신의 출력부는 스위칭 소자(7a, 7b, 9a, 9b)에 의해 비트 라인(4a, 5b) 및 워드 라인(5a, 5b)의 제 2 단부와 각각 접속 가능한 임피던스 컨버터(1)에 관한 것이다. 또한 본 발명은 자기 저항성 메모리를 판독하기 위한 방법에 관한 것이다.

## 목次

## 도

## 명세서

## 도면의 주요 부문에 대한 간단한 설명

도 1은 제 1 판독 과정동안의 본 발명에 따른 자기 저항성 메모리의 한 실시예에 관한 도면이다.  
도 2는 전환 검사동안의 본 발명에 따른 자기 저항성 메모리의 동일한 실시예이다.  
도 3은 제 2 판독 과정동안의 본 발명에 따른 자기 저항성 메모리의 동일한 실시예에 관한 도면이다.

## \* 도면의 주요 부문에 대한 간단한 설명 \*

C1 : 제 1 커파시터

C2 : 제 2 커파시터

C3 : 제 3 커파시터

R1 : 제 1 증단 저항기

R2 : 제 2 증단 저항기

U1 : 판독 전압원

I1 : 제 1 기록 전류원

I2 : 제 2 기록 전류원

1 : 임피던스 컨버터

2 : 전압 평가 장치

3a, 3b, 3c, 3d : 자기 저항성 메모리 셀

4a, 4b : 비트 라인

5a, 5b : 워드 라인

6a, 6b : 워드 라인들을 판독 전압원, 기록 전류원과 접속하기 위한 스위칭 소자

7a, 7b : 워드 라인들을 임피던스 컨버터 출력부와 접속하기 위한 스위칭 소자  
 8a, 8b : 비트 라인들을 전압 평가 장치, 기록 전류원과 접속하기 위한 스위칭 소자  
 9a, 9b : 비트 라인들을 임피던스 컨버터 출력부와 접속하기 위한 스위칭 소자  
 10 : 평가 라인/연결 라인  
 11 : 제 1 평가 경로  
 12 : 제 2 평가 경로  
 13 : 판독 스플리터  
 14 : 평가 스플리터  
 15 : 임피던스 스플리터  
 16 : 판독 전압원을 판독 스플리터와 접속하기 위한 스위칭 소자  
 17 : 제 1 기록 전류원을 판독 스플리터와 접속하기 위한 스위칭 소자  
 18 : 제 2 기록 전류원을 평가 스플리터와 접속하기 위한 스위칭 소자  
 19 : 평가 라인을 판독 스플리터와 접속하기 위한 스위칭 소자  
 20 : 제 2 평가 경로를 연결 라인과 접속하기 위한 스위칭 소자  
 21 : 제 1 평가 경로를 연결 라인과 접속하기 위한 스위칭 소자  
 22 : 제 2 평가 경로를 임피던스 컨버터 및 제 3 커패시터와 접속하기 위한 스위칭 소자  
 23 : 제 1 평가 경로를 연결 라인과 접속하기 위한 스위칭 소자  
 24 : 제 2 평가 경로를 전압 평가 장치 및 제 2 커패시터와 접속하기 위한 스위칭 소자  
 25 : 제 1 평가 경로를 전압 평가 장치 및 제 1 커패시터와 접속하기 위한 스위칭 소자

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 자기 저항성 메모리 및 상기 자기 저항성 메모리 내의 메모리 셀들을 판독하기 위한 방법에 관한 것이다.

자기 저항성 메모리는 통상적인 DRAM 메모리 및 SRAM 메모리 그리고 비휘발성 메모리들, 예컨대 플래시 혹은 EEPROM에 대체되는 메모리이다. 상기 메모리는 비트 라인들과 워드 라인들이 근접하여 있는 메모리 셀들의 어레이로 이루어져 있다. 자기 저항성 메모리의 각각의 메모리 셀은 유전체에 의해 상호간에 분리되어 있는 2개의 자기 소자로 이루어져 있다. 상기 자기 소자를 중 하나의 소자는 경질자성이며, 그로 인해 자신의 자속 방향(magnetic flux direction)으로 설정되어 있으며, 다른 하나의 소자는 연질자성이며, 그리고 적합한 스위칭 전류를 비트 및 워드 라인들에 인가함으로써 자신의 배향(orientation)에 있어서 반전될 수 있다. 상기 두 자기 소자를 사이에 배치되는 유전체는 이른바 터널 유전체, 즉 예컨대 터널 유전체로서 적합한 2nm 두께의 층이다. 상기 터널 유전체는 특징으로서 하나의 저항값을 포함하고 있으며, 상기 저항값은 자신을 터널하는 자계에 증속된다. 만약 상기 두 자기 소자들이 터널 유전체의 양측면상에 동일한 방향으로 배향되어 있다면, 유전체는 두 자기 소자들의 자속 방향이 상호간에 전도되어 있는 경우와 다른 저항값을 포함하게 된다. 적합한 전압을 비트 라인들과 워드 라인들에 인가함으로써 터널 유전체 내 각각의 저항의 실제값이 측정될 수 있으며, 그로 인해 자기 소자의 배향이 주론될 수 있다. 그러므로 전제적으로 2진 연산 상태 시스템(binary operating state system)이 생성되며, 그로 인해 상기 시스템은 디지털 정보를 저장하기에 적합하게 된다.

상기와 같은 메모리 셀들의 어레이에 있어서 예를 들어 항상 실제적인 메모리 셀들의 상부 및 하부에서 병렬로 진행하는 비트 내지 워드 라인들이 제공되며, 상기 선들을 다시금 상호간에 직각으로 배치된다. 그런 다음 메모리 셀 어레이의 에지에서는 상기 비트 라인들과 워드 라인들이 기록 및 판독하기 위한 추가 회로로 변환될 수 있다.

MRAM 대용량 기억장치의 어레이들은 지금까지 제품으로서 생각할 수 없었다. 단지 더욱 작은 어레이를 만이 이용 가능하였다. 상기 어레이의 경우 대개는 '평면 내 전류(Current In-Plane)'의 원리에 기인하지만, 반면 대용량 기억장치의 적용을 위한 '평면에 대해 수직의 전류(Current Perpendicular to Plane)'의 원리에 더욱 많은 기회가 제공된다. 자기 저항성 메모리는 일정한 기본적인 이점, 즉 간단한 제조성, 비휘발성 데이터 보존 및 양호한 수축 적합성과 같은 이점을 제공한다. 자기 저항성 메모리의 대용량 기억장치로서의 적합성은 대부분의 충분히 큰 메모리 셀 블록이 구체화될 수 있는 거의 여부에 종속된다. 경쟁 있는 대용량 기억장치의 어레이들은 동시에 다음의 요건들을 충족해야만 한다 :

1. 어레이는 (수백) x (수백) 개의 메모리 셀들의 크기를 허용해야 한다.
2. 판독 신호는, 충분히 확실한 평가를 가능하게 하기 위해 일정한 최소 크기를 가지고 있어야 한다.

예를 들어 HL 제품의 최소 크기 :

DRAM은 대략 100-150μA를 필요로 한다. 상기 DRAM은 피치 내에 장치된 판독신호 증폭기를 이용하여 어레이 에지에서의 전압평가를 실행한다.

플래시 메모리(메인형)는 약 10μA를 필요로 한다. 상기 메모리는 주변장치 내 판독신호 증폭기를 이용하여 전류평가를 실행한다.

SRAM은  $150\ \mu\text{A}$ 의 On 전류와 무시할 수 있는 Off 전류를 이용하여 작동한다. 상기 메모리는 600 ps - 1.2 ns의 어레이 접근 시간을 달성한다.

정확한 값을 MRAM의 경우 처음부터 표시될 수 있는 것이 아니라, 경우에 따라서 판독신호가 신뢰되고 교란에 민감하지 않은 평가에 대해 충분한 지의 여부가 검사되어야 한다. 항상 피치 내 판독신호 증폭기가 필요한 것은 아니다. 이러한 점은 상기 요건들을 완화시킨다.

3. 판독시 에너지 소비량은 DRAM의 소비량과 비교할 만 하거나 혹은 더욱 낮아야 한다(아키텍처 1pJ - 1nJ 당).

상기 요건들은 또한 MRAM의 대용량 기억장치의 적용 시에도 충족되어야 한다.

#### 발명이 이루고자 하는 기술적 과제

선행 기술에 있어서 자기 저항성 메모리 셀 어레이를 구성하기 위한 상이한 제안들이 기술되어 있다. 그 중에도 불구하고 상기 제안에서 소개된 증폭 회로는 적용예에 있어서 완정성 문제를 초래하는 경향이 있다. 그러므로 본 발명의 목적은 자기 저항성 메모리 셀들, 다시 말해 자기 저항성 메모리들의 어레이로 상기 메모리 셀들을 신뢰할만하게 기록, 판독 및 소거하기 위한 적합한 구조를 제공하는 것이다.

#### 발명의 구성 및 작용

본 발명에 따라 상기 목적은 독립 청구항 제 1 항에 따른 자기 저항성 메모리, 독립 청구항 제 10 항에 따른 메모리 셀들을 판독하기 위한 방법 및 독립 청구항 제 22 항에 따른 자기 저항성 메모리에서 임피던스 컨버터의 활용 방법을 제공함으로써 해결된다. 본 발명의 바탕작한 추가 형성예를 및 판점 그리고 상세 내용은 증속할들, 명세서 및 첨부된 도면들로부터 제시된다.

발명은 판독되어질 메모리 셀들의 저항에 증속되는 전압을 생성하며 그리고 워드 및 비트 라인들이 충분히 안정된 전압수준으로 유지될 수 있도록 상기 전압에 임피던스 컨버터를 이용하여 부하를 제공한다는 원리에 기초한다.

그러므로 본 발명은 우선적으로 다수개의 열 및/또는 다수개의 행 내에 배치되는 자기 저항성 메모리 셀들의 어레이를 가지며, 열에 속하는 메모리 셀들의 제 1 자극과 접속되어 있는 각각의 열에 대한 하나의 비트 라인을 포함하며, 행에 속하는 메모리 셀들의 제 2 자극과 접속되어 있는 각각의 행에 대한 하나의 워드 라인을 포함하며, 스위칭 소자를 통해 워드 라인들의 제 1 단부들과 각각 접속될 수 있는 하나의 판독 전압원을 포함하며, 전압 평가 장치로서 평가 라인을 통과하는 자신의 적어도 하나의 입력부는 스위칭 소자에 의해 비트 라인들의 제 1 단부들과 각각 접속 가능한 하나의 전압 평가 장치를 포함하며, 동시에 상기 평가 라인에 의해서는 제 1 증단 저항기가 분기되는 자기 저항성 메모리에 관한 것이다. 본 발명에 따른 자기 저항성 메모리는, 임피던스 컨버터, 즉 자신의 입력부가 평가 라인과 접속되어 있으며, 그리고 자신의 출력부는 스위칭 소자를 통해 비트 라인들 및 워드 라인들의 제 2 단부들과 각각 접속될 수 있는 하나의 임피던스 컨버터를 특징으로 한다.

어레이 내에 조직화된 다수개의 메모리 셀들은 행들과 열들을 이용한다. 본 발명에 따른 방법을 실행하고, 그로 인한 본 발명에 따른 임피던스 컨버터를 적용하기 위해서 판독되어질 메모리 셀들과 접속되어 있지 않은 상기의 워드 및 비트 라인들에 전압이 인가되어 때문에, 과정적으로 기술된 두 차원들의 적어도 한 차원 내에서 다시 말해 행들에서 혹은 열들에서 하나 이상의 라인이 제공되어 있어야 한다. 그러므로 본 발명이 적합한 방식으로 이용될 수 있는 메모리 셀들의 최소 수량은 2개이다. 바탕작하게는 본 발명에 있어 실제로 제공되는 메모리 셀들의 수량은 더욱 많다.

워드 라인들과 접속될 수 있는 판독 전압원은 여전히 전압 평가 장치에 인가되어 있는 전압에 대한 전압 평가 장치에 의한 흡수를 허용하기에 충분한 전압을 활성화된 워드 라인을 내지 하나의 워드 라인에 통과시킬 수 있다. 평가 라인에 의해 분기되는 제 1 증단 저항기는 또한 전압 평가 장치에 대해 병렬로 접속되어 있다. 그러므로 증단 저항기 및 전압 평가 장치에는 동일한 전압이 인가되어 있다. 전압의 정량은 제 1 증단 저항과 그리고 판독되어질 메모리 셀 내에 실제로 존재하는 저항값의 비율로부터 생성된다.

본 발명의 의미에서 임피던스 컨버터는  $V=1$  증폭기로서 쪽은 제어 오프셋을 포함하지 않는 분리 증폭기로서 명명된다. 상기 컨버터는 자신의 입력부에 인가되어 있는 전압(제 1 증단 저항기를 통과하면서 강화하는 전압과 동일함)을 변경하는 것이 아니라, 자신의 출력부에서 동일한 전압을 생성하며, 동시에 그럼에도 불구하고 상기 출력부에서 인가되어 있는 신호는 저-임피던스이며, 그로 인해 부하 가능하다. 그러므로 충분히 저-임피던스인 전압원을 위해 제공되어 있는 워드 및 비트 라인들에 동일한 전압을 인가하기 위해 상기와 같은 저-임피던스 전압원이 이용된다.

증단 저항기라고 하면 자신의 한 자극이 평가되어질 전압과 그리고 자신의 다른 한 자극은 기준전압과 접속되어 있는 저항기로 간주되어야 한다. 대개 기준전압이라고 하면 GND이지만, 그럼에도 예를 들어 판독 전압원의 전압보다 더욱 높은 전압과 같은 다른 전압도 또한 될 수 있다. 이러한 경우 회로는 그에 상응하게 적응되어야 하면, 이러한 점은 전문가에게 조치방법으로서 잘 알려져 있다.

자기 저항성 메모리는, 평가 라인이 비트 라인들을 접속하기 위한 하나의 연결 라인과 그리고 스위칭 소자에 의해 상기 연결 라인과 각각 접속 가능한 2개의 평가 경로들을 포함하고 있으며, 동시에 상기 평가 경로에 의해서는 각각 하나의 증단 저항기가 분기되어 있으며, 동시에 상기 평가 경로들 각각은 각 하나의 스위칭 소자에 의해 전압 평가 장치의 한 입력부와 그리고 이 입력부에 대해 평행한 하나의 커파시터와 접속될 수 있으며, 그리고 상기 평가 경로를 각각은 각 하나의 스위칭 소자에 의해 임피던스 컨버터의 입력부와 이 입력부에 대해 평행한 커파시터와 접속될 수 있도록, 설계되어 있을 수 있다.

이러한 신호되는 소자들의 어레이에 의해 효과적으로 앞서 도시한 하나의 평가 경로 대신에 2개의 평가 경로들이 제공되며, 상기 평가 경로들은 항상 메모리 셀을 판독하는데 중요한 비트 라인들/비트 라인, 임피던스 컨버터 및 전압 평가 장치와 접속될 수 있다. 상기의 방식으로 판독되어질 메모리 셀에 존재하는

저항에 대해 상호간에 무관한 2가지 평가를 실행할 수 있게 된다.

이러한 점에 있어서 상기 두 증단 저항기들은 동일한 저항값을 포함하거나 혹은 자신들의 저항값들에 있어서 차이를 나타낸다. 제공되어 있는 상기 두 커패시터들은 발생하는 전압을 측정하는 동안 증간에 저항하는 역할을 하며, 그럼으로써 그에 상응하는, 2개의 입력부를 포함하는 하나의 전압 평가 장치 내에서 두 전압의 비교가 실행될 수 있게 된다. 상호간에 독립적인 평가 경로를의 어레이에는 예컨대 메모리 셀의 2배의 평가를 가능하게 하고, 그리고 평균값 형성을 가능하게 하며, 상기 평균값 형성으로부터 더욱 정확하게 메모리 셀의 저항값과 그로 인한 2진 의미 내용이 검출된다.

그럼에도 더욱이 상기 두 평가 사이에는, 경우에 따라 발생하는 판독되어질 메모리 셀의 저항값의 변화로 부터 이전의 메모리 셀의 2진 상태를 추론할 수 있도록 하기 위해, 스위칭 테스트가 삽입될 수 있다. 상기의 전환 검사를 실행할 수 있도록 하기 위해 본 발명에 따른 자기 저항성 메모리는 또한 바람직하게는, 스위칭 소자들에 의해 워드 라인들의 제 1 단부들과 각각 접속 가능한 하나의 제 1 기록 전류원, 그리고 스위칭 소자들에 의해 비트 라인들의 제 1 단부들과 각각 접속 가능한 하나의 제 2 기록 전류원을 포함하고 있다. 판독되어질 메모리 셀들에 임피던스 컨버터에 의해 제공되는 전압을 인가함과 더불어 기록 전류원들에 의해서는 상기의 전환 검사가 정해진 방향으로 실행되어질 수 있다.

기술한 바와 같이 판독 전압원, 기록 전류원, 임피던스 컨버터의 출력부 및 평가 라인 그리고 이 평가 라인에 접속되는 평가 경로는 각각 그때마다의 워드 및 비트 라인들의 단부들과 접속될 수 있어야 한다. 이를 위해 스플리터들이 제공되어 있는데, 상기 스플리터들은 유입 및 유출되는 신호들과 전압들을 상이한 워드 및 비트 라인들에 제공한다. 그러므로 스플리터들이라고 하면 본 기기의 스트립 도체 시스템이며, 상기 시스템의 단부에는 바람직하게는 워드 및 비트 라인들과 접속시키기 위한 스위칭 소자들이 배치되어 있다. 이에 따라서 비트 라인을 각각에 대한 하나의 스위칭 소자를 이용하면서 하나의 평가 스플리터에 의해 평가 라인과 비트 라인들을 접속할 수 있게 된다. 제 2 기록 전류원을 비트 라인과 접속하는 것은 마찬가지로 평가 스플리터에 의해 이루어지며, 동시에 제 2 기록 전류원과 평가 라인은 스위칭 소자들에 의해 상기 평가 스플리터와 접속될 수 있다. 기록 전류원과 평가 라인을 평가 스플리터와 접속하기 위한 스위칭 소자들은 두 콘택 중 하나의 콘택을 대체하는 방법으로 접속시킬 수 있도록 하는 역할을 하는데, 왜냐하면 적합한 방식으로는 평가회로 및 기록 전류원 간의 직접적인 전기 접속을 허용할 수 없기 때문이다.

비트 및 워드 라인들과 임피던스 컨버터의 출력부를 연결하는 것은 각각의 워드 및 비트 라인들에 대한 하나의 스위칭 소자를 장치하고 있는 하나의 버퍼 스플리터(buffer splitter)에 의해 이루어질 수 있다.

마찬가지로 또한 각각의 워드 라인에 대한 하나의 스위칭 소자를 이용하면서, 하나의 판독 스플리터(read-out splitter)에 의해 워드 라인들과 판독 전압원들을 접속할 수 있다.

최종적으로 워드 라인들과 제 1 기록 전류원들의 접속은 마찬가지로 판독 스플리터에 의해 이루어질 수 있으며, 동시에 제 1 기록 전류원과 판독 전압원은, 앞서 기술한 제 2 기록 전류원 및 평가 라인과 유사한 방식으로 판독 스플리터를 이용한 스위칭 소자들에 의해 접속될 수 있다.

바람직하게는 위에서 언급한 스위칭 소자는 최소한 부분적으로, 바람직하게는 그림에도 전체적으로 트랜지스터로서 설계되어 있다.

이용되는 자기 저항성 메모리 셀들은 바람직하게는 소위 수직 전압 메모리 셀들이다(평면에 대해 수직인 전류). 상기 메모리 셀들의 경우 기억소자들, 비트 라인, 제 1 자기 소자, 터널 유전체, 제 2 자기 소자 및 워드 라인들은 점적 회로(정확하게 말하면 회로의 실리콘 구조) 내 표면과 관련하여 수직으로 겹쳐서 배치되어 있다. 그로 인해 평가 시에 전류는 상부에서 하부로 혹은 하부에서 상부로 흐르게 된다.

발명은 또한 자기 저항성 메모리를 판독하기 위한 방법에 관한 것이다. 방법과 관련하여서는 위에서 장치와 관련하여 언급된 모든 사항들이 적용되며, 동시에 전체 내용과 관련하여 결부된다.

본 발명은 다수의 행 및/또는 다수의 열내에 배치되는 자기 저항성 메모리 셀들의 어레이를 가지며; 열에 속하는 메모리 셀들의 제 1 자극과 접속되어 있는 각각의 열에 대한 하나의 비트 라인을 포함하며; 그리고 행에 속하는 메모리 셀들의 제 2 자극과 접속되어 있는 각각의 행에 대한 하나의 워드 라인을 포함하는 자기 저항성 메모리 내에 메모리 셀들을 판독하기 위한 방법에 관한 것이며; 동시에 상기 방법은 하기의 단계들을 포함하고 있다 :

A: 판독되어질 메모리 셀의 제 2 자극에 판독 전압원을 인가하는 단계;

B: 동시에 제 1 증단 저항기와 전압 평가 장치의 제 1 입력부는 판독되어질 메모리 셀의 제 1 자극과 접속되어 있는 상태에서 제 1 증단 저항기에 대해 평행한 전압 평가 장치를 이용하여 제 1 증단 저항기를 통해 강하하는 전압을 평가하는 단계; 이러한 평가 단계는 하기 사항을 특징으로 한다 :

C: 제 1 증단 저항기를 통해 강하하는 전압은 또한 임피던스 컨버터의 입력부에 인가되며 그리고 임피던스 컨버터의 출력부에 있는 전압은 상기 임피던스 컨버터의 워드 및 비트 라인들에 인가되는데, 상기 워드 및 비트 라인들은 판독되어질 메모리 셀과는 접속되어 있지 않다.

그러므로 본 발명에 따른 방법의 경우에는 대부분, 인지된 판독전압 및 인지된 증단 저항에 근거하여 증단 저항기를 통해서 뿐 아니라 전압 평가 장치 및 임피던스 컨버터를 통해서도 정의되는 전압 강하가 셀 청되는 분압기의 원리가 이용된다. 전압 평가 장치가, 판독되어질 메모리 셀의 저항값을 추론할 수 있도록, 인가되어 있는 전압의 측정을 실행하는 동안, 임피던스 컨버터는 입력 신호와 전압이 동일한 경우 자진의 출력신호를 저-임피던스로 만듬. 그로 인해 비트 및 워드 라인들의 직렬로 접속된 저항 메모리 셀들로 상기의 비트 및 워드 라인들을 드리프트 시킬 수 있게 된다. 그로 인해 메모리 셀들의 자극에 인가되는 전압들이 판독되어질 메모리 셀에 인가되어 있는 비트 라인 전압과 동일해짐으로써 판독되어질 메모리 셀이 고정되어 있는 비트 라인 상에서는 판독되어질 메모리 셀에 의하지 않고는 전류흐름이 발생하지 않게 된다. 그와 반대로 판독되어질 메모리 셀과 또한 접속되어 있는 워드 라인에 속하는 또 다른 메모리 셀에서는 증폭기가 반응해야 하는 전류흐름이 발생한다. 전체적으로 상기와 같은 어레이에

의해 판독 과정의 안정성 및 이 과정의 정밀도가 실제적으로 증가한다.

그러므로 임피던스 컨버터의 출력전압은 바람직하게는 자신의 입력전압과 동일해야 한다. 상기 사항으로부터 일탈되면 측정결과는 악화되며 그로 인해 판독되어질 메모리 셀의 2진값의 신뢰되는 측정에 역효과를 주게 된다.

본 발명에 따른 진행단계의 연속적인 도식은 시간에 따른 순서를 내용으로 하지 않는다. 단계들이 연속해서 실행될 수 있는 동안, 전압 평가 장치에 의한 신뢰되는 평가를 위해 단계를 통과하며 설정되어질 모든 조건들은 신뢰되는 측정이 가능하기 전에 먼저 보증되어 있어야 한다. 그러므로 실행 가능성 및 속도의 이유에서 단계를 A, B, 그리고 C가 대체로 동시에 이루어지는 점이 선호된다.

단계(B)에서 실행되는 평가는 예를 들어 하기의 부분 단계들을 포함할 수 있다 :

B1 : 판독되어질 메모리 셀과 접속되면서 평가 라인을 통과하는 비트 라인을, 전압 평가 장치의 제 1 입력부, 제 1 증단 저항기 및 임피던스 컨버터의 입력부와의 접속 단계 ; 그리고

B2 : 전압 평가 장치 내에서 제 1 입력부에 인가되어 있는 전압의 평가 단계 .

이미 위에서 도시한 바와 같이 본 발명에 따른 방법은, 계속해서 판독되어질 메모리 셀들의 값 측정의 정밀도를 개선하기 위해, 정제된다. 그러므로 그때마다 발생하는 전압들이 전압 평가 장치의 입력부와 병렬로 접속되는 2개의 커패시터를 내에 중간 저정되는 상호간에 무관한 2가지 판독 과정이 실행될 수 있게 된다. 그런 다음 상기와 같이 중간에 저정되는 전압값은 전압 평가 장치 내에서 최종적으로 함께 평가될 수 있다. 그럼에도 또한 2가지 판독 과정이 이루어져 실행되며, 그리고 상기 판독 과정들 사이에 전환과정이 실행되는 식으로 상기 방법을 개선할 수 있다. 이러한 점은, 전압의 측정이 정확하게 이루어질 필요가 없다는 이점을 갖는데, 왜냐하면 전환 검사 전/후에 생성되는 전압들의 유효적으로 발생하는 차이가 고려되어야 하기 때문이다. 그러므로 상기 방법은 제 1 판독 과정을 포함하며, 뒤에 이루어지는 전환 검사가 그리고 다시금 전압값의 제 2 판독 과정이 실행된다. 상기의 다단계식 방법의 바람직한 실시에는 하기의 주가 단계들을 포함한다 :

D : 전압 평가 장치의 제 1 입력부 및 임피던스 컨버터의 입력부와 접속되어 있는 제 1 및 제 3 커패시터 내에서 제 1 증단 저항기를 통과하여 강화하는 전압의 저정 단계(동시에 제 3 커패시터는 적당한 방식으로 공간상 임피던스 컨버터와 근접하여 배치되어 있으며, 그리고 제 1 커패시터는 공간상 전압 평가 장치와 근접하여 배치되어 있다);

E : 제 1 증단 저항기로부터 전압 평가 장치의 제 1 입력부 및 제 1 커패시터의 분리 단계 ;

F : 제 1 증단 저항기로부터 임피던스 컨버터의 입력부 및 제 3 커패시터의 분리 단계 ;

G : 판독되어질 메모리 셀로부터 판독 전압원의 분리 단계 ;

H : 판독되어질 메모리 셀로부터 제 1 증단 저항기의 분리 단계 ;

I : 모든 워드 및 비트 라인들에 임피던스 컨버터의 출력부에 인가되어 있는 전압의 인가 단계 ;

J : 판독되어질 메모리 셀의 제 2 자극과 접속되어 있는 워드 라인에 제 1 전류원의 인가 단계 ;

K : 판독되어질 메모리 셀의 제 1 자극과 접속되어 있는 비트 라인에 제 2 전류원의 인가 단계 ;

L : 판독되어질 메모리 셀의 제 2 자극과 접속되어 있는 워드 라인으로부터 제 1 전류원의 분리 단계 ;

M : 판독되어질 메모리 셀의 제 1 자극과 접속되어 있는 비트 라인으로부터 제 2 전류원의 분리 단계 ;

N : 판독되어질 메모리 셀의 제 2 자극으로부터 임피던스 컨버터의 출력부에 인가되어 있는 전압의 분리 단계 ;

O : 판독되어질 메모리 셀의 제 1 자극으로부터 임피던스 컨버터의 출력부에 인가되어 있는 전압의 분리 단계 ;

P : 판독되어질 메모리 셀과 접속되어 있으면서 평가 라인을 통과하는 비트 라인을, 전압 평가 장치의 제 2 입력부, 제 2 증단 저항기 및 임피던스 컨버터의 입력부와의 접속 단계 ;

Q : 판독되어질 메모리 셀의 제 2 자극에 판독 전압원의 인가 단계 ;

R : 동시에 제 2 증단 저항기, 제 2 커패시터 및 전압 평가 장치의 제 2 입력부가 판독되어질 메모리 셀의 제 1 자극과 접속되어 있는 상태에서, 제 2 증단 저항기를 통해 강화하는 전압을 제 2 증단 저항기에 대해 평행한 제 2 커패시터 내에 저정 단계 ;

S : 제 1 및 제 2 커패시터 내에 저정되어 있는 전압을 전압 평가 장치 내에서 비교 단계 .

본 발명에 따른 방법의 상기에서 제시한 단계들은 평가 품질을 분명하게 개선시킨다. 이러한 경우 또한 상이한 단계들의 순서적 조합에도 불구하고 모든 단계들이 차례로 진행되어서는 안 된다는 점이 적용된다. 오히려 상이한 단계들을 동시에 혹은 대체로 동시에 실행할 수 있다. 그러므로 하기의 단계들을 대체로 동시에 실행하는 점이 선호된다 :

A-D :

E, F :

G, H :

I :

J, K :

L, M :

N-P :

Q, S.

마지막으로 본 발명은 자기 저항성 메모리의 판독되어질 메모리 셀의 판독 전압을 버퍼링하며 그리고 상기 버퍼링 된 신호를 자기 저항성 메모리의 워드 및 비트 라인들에 인가하기 위한 임피던스 컨버터의 이용방법에 관한 것이다.

다음에서 본 발명은 실시예에 따라서 더욱 상세하게 설명되며, 동시에 도들의 내용이 도시되어 있는 첨부된 도면들이 결부된다.

상기에서 기술한 바와 같이 하나의 입력부를 포함하는 간단한 평가장치 및 간단한 평가방법의 이용 하에 본 발명을 실행할 수 있다. 다음에서 더욱 상세하게 기술되는 2종의 판독 방법은 큰 국소적 셀 저항 변동이 기대됨에도 불구하고 신뢰되는 평가를 허용한다.

상세하게는 하기의 단계들이 있다 :

1. 셀 상태의 판독 및 정보의 저장 단계,
2. 이어서 정해진 방향으로의 전환 검사 단계,
3. 셀 상태의 추가 판독 및 정보의 저장 단계,
4. 결과의 비교 및 평가 단계.

제 1 평가 과정 (도 1) :  $m$  개의 워드 라인들(5a, 5b) 및  $n$  개의 비트 라인들(4a, 4b)로 구성되며, 선택된 워드 라인(5a)은 하나의 전압원(U1)을 이용하면서 하나의 판독 스플리터(13) 및 하나의 스위칭 소자(6a)를 통해 사전 설정된 페텐셜(예 : 1.2 V) 상에 놓여지는 하나의 매트릭스가 제안된다. 선택된 비트 라인(4a)은 하나의 증단 저항(R1)을 이용하면서 하나의 평가 라인(10), 하나의 평가 스플리터(14) 및 스위칭 소자들(8a, 8b, 19, 21)을 통해 GND 페텐셜에 반하여 결부되며, 그럼으로써 판독되어질 메모리 셀(3a)의 셀 저항과 (R1)로 이루어진, 분압기 상에 결과적으로 발생하게 되는 BL-(비트 라인)-전압이 생성된다. 그러므로 특성화되어질 셀 저항을 통해서는 전압 강하가 발생하며, 상기 전압강하의 값을 셀 저항의 값에 의해 측정된다(셀 저항이 105Ω이며 그리고 전류는 5 μA인 경우 0.5V의 전압강하가 발생하며, 그로 인해 선택된 비트 라인(4a)에서의 레벨은 대략 0.7V이다). 정확한 비트 라인 전압은 평가 영역 내 위치하는 제 1 커패시터(C1) 내에 중간 저장된다.

만약 본 발명에 따라 단지 1회의 평가과정만이 실행되어야 한다면, 전압을 중간에 저장하기 위한 제 1 커패시터(C1)는 필요하지 않게 된다. 이러한 경우 전압은, 평가 라인(10)에 접속되어 있으며, 그리고 그렇지 않을 경우에는 제 1 커패시터(C1)와 병렬로 접속되어 있는 전압 평가 장치(2)를 이용하여 곧바로 측정될 수 있다.

그럼에도 불구하고 만약 본 발명에 따른 방법이 2가지 판독 과정과 더불어 이용되어야 한다면, 동일한 전압값이 여전히 제 3 커패시터(C3) 내에 중간 저장되는데, 왜냐하면 상기 전압은 다음에 이어지는 기록 과정을 위해 필요하기 때문이다. 모든 반응하지 않는 비트 및 워드 라인들(4b, 5b)은 임피던스 컨버터(1)(V=1 증폭기)를 이용하여 분압기(15)를 통해, 반응하는 비트 라인(4a)의 전압으로 고정된다(대략 0.7V). 그러므로 반응하지 않은 셀들을 통한 반응하지 않은 메모리 셀들(3b, 3c, 3d)에 의한 원칙적으로 원하지 않은 셀 전류들이 반응하는 워드 라인(5a)에서 발생한다. 상기 전류들은 반응하지 않는 비트 라인을 상에 흐르게 된다(도 1의 메모리 셀(3c) 내에서, 비트 라인 당 대략 5 μA의 셀 전류가 발생한다). 상기 전류들은 V=1 증폭기(1)에 의해 반응되어야 한다. 워드 라인 당 200개 셀들의 경우 10 ns 이내로 흐르면서 그리고 12 pJ의 에너지를 소산시키는 1 mA의 전류가 문제가 된다. 상기 전류값은 경계면에 놓며, 있으면서 상기 경계면의 셀을 상에서 프로그램될 수 있다. 그러므로 워드 라인 당 실제로 더욱 많은 수의 셀들을 포함하는 어레이에는 가능하지 못하다. 이와 관련하여 여전히, 셀 저항의 전화한 값에 상응하게 대략 10-20% 변경될 수 있는 비트 라인 전압으로부터 통전전류가 발생한다. 상기 사항을 위해 필요한 에너지 소모량의 측정은 시뮬레이션 검사로 그때마다 이루어질 수 있다.

12pJ의 에너지 소모량 총값은 대략 200 pJ의 에너지를 필요로 하는 DRAM의 심글 비트 접근의 총값과 비교될 수 있다. 그러므로 이러한 경우 DRAM 에너지 소모량은 MRAM의 에너지 소모량 이상의 크기 정도에 놓인다. 또 다른 접근형태들을 생각해 볼 수 있으며, 그로 인해 또 다른 결과를 생각해 볼 수도 있다. 분명한 점은 MRAM의 경우 현재의 시점에서 판독 과정의 에너지 소모와 관련하여 어떠한 문제점도 찾아 볼 수 없다는 것이다.

기술한 대략 0.7V의 전압은 또한 어레이의 정지전압(resting voltage)이다. 판독 접근이 이루어진다면 단지 하나의 워드 라인만이 재충전된다. 그러므로 전력은 절감된다.

정해진 방향으로 전환 검사 (도 2 : 본 과정은 대체로 프로그래밍 과정과 상응한다) : 제 1 평가로부터 전압값은 커패시터(C1, C3) 내에 중간 저장된다. C3 상의 페텐셜은 이제부터 기준전압으로서 이용되며, 그리고 V=1 증폭기(1)를 통해 버퍼링 된다. 그로 인해 상기 증폭기는 전압원으로서 역할을 하며, 모든 워드 및 비트 라인들(4a, 4b, 5a, 5b) 내에 전압을 인가한다. 동시에 전압 스플리터(15)를 워드 및 비트 라인들과 접속시키는 스위칭 소자들(7a, 7b, 9a, 9b)은 폐쇄된다. 이러한 방식으로 전력은 절감되는데, 왜냐하면 셀 펄드는 제 1 판독 과정에 비해 대체로 일정한 페텐셜로 머물러 있기 때문이다. 추가로 선택된 비트 및 워드 라인들(4a, 5a) 내에는 그때마다 전류가 기록 전류원(11, 12)을 통해 인가되며, 상기 전류는, 만약 셀(3a)의 상태와 그리고 전류 방향이 허용한다면, 판독되어질 메모리 셀(3a)을 자 프로그래밍 한다. 전류원(11, 12)를 통한 전류의 인가는 스위칭 소자들(17, 18)을 이용하여 전류원을 접속시킴으로써 이루어지는 반면, 상기 시점에 증음하여 스위칭 소자(19)를 이용한 평가장치 복합체 뿐 아니라 스위칭 소자(16)를 이용한 전압원(U1)은 메모리 셀 어레이로부터 분리된다. 전류원들(11, 12)의 전류세기는 할 상 대략 1 mA이다. 상기 전류들은 기록 전류원들(11, 12)에 의해 워드 라인(5a)과 비트 라인(4a) 내로

인가되며 그리고 전압원으로서 작동하는 임피던스 컨버터(1)에 의해 수용된다.

제 2 평가 과정 (도 3) : 제 1 평가에서부터 계속해서 관련 전압값은 제 1 커파시터(C1) 내에 저장되어 있다. 이제부터 평가는, 제 1 평가와 유사하게 이루어지지만, 그럼에도 그에 상응하는 전압값은 이제는 제 2 커파시터(C2) 내에 저장된다. 상기의 목적에 적합하게 평가 라인은 하나의 연결 라인과 그리고 스위칭 소자를(20, 21)을 통해 상기 연결 라인(10)과 각각 접속될 수 있는 2개의 평가 경로(11, 12)로 분리된다. 각각의 평가 경로는 하나의 중단 저항기(R1, R2) 및 하나의 커파시터(C1, C2)를 포함하며, 상기 커파시터는 스위칭 소자를(24, 25)을 통해 자신의 중단 저항기로부터 분리될 수 있다. 여전히 스위칭 소자를(22, 23)을 이용한 임피던스 컨버터로의 분기와 같은 어레이에 의해 상호간에 무관한 2개의 레인지 회로들이 실현되어 있다. 상기 레인지 회로들은 상호 무관한 2가지 특성을 허용한다. 이어서 전압 평가 장치(2)는, 커파시터들(C1, C2) 내에 저장된 전압들을 비교하면서 결정을 내린다.

그러나 다만 바람직하게는 시스템 내에 비대칭성이 제공되어야 하는데, 왜냐하면 프로그래밍 검사가 성공적으로 이루어질 수 있거나 혹은 판독되어줄 메모리 셀(3a)의 셀 내용이 거의 변경되지 않기 때문이다. 상기 비대칭성은 두 중단 저항기들(R1, R2) 내에서 혹은 전압 평가 장치(2)의 비대칭성 구조에 의해 실현될 수 있다. 이어서 평가의 결과는 전압 평가 장치(2)의 출력부에서 얻어진다.

다음에서는 본 발명에 따른 회로의 접근 시간이 평가된다. 셀 저항이  $105\Omega$ 을 가지며 그리고 셀 커파시터는  $10fF$ 를 가지는 경우  $1\text{ ns}$ 의 판독 시에 반응하는 셀들에 대한 충전 시간 상수는 생성된다. 시스템은 제 2 시간 상수, 즉 하나의 라인을 통전하기 위한 시간 상수를 갖는다. 만약 전압원(U1)에 대해  $100\Omega$ 의 내부 저항이 수용된다면  $10\text{ pF}$ (1000개의 셀)을 가지는 라인의 경우 마찬가지로  $1\text{ ns}$ 의 시간 상수가 발생한다. 상기 두 시간 상수들은 바람직한 영역 내에 존재한다. 대략적으로 DRAM과 비교 가능한 평가 시간은 가능한 것으로 나타난다.

또한 임피던스 컨버터(1)( $\Delta$  증폭기)의 특성이 평가된다. 임피던스 컨버터(1)의 오프셋은 비트 라인 상에서 전원의 변위를 초래하는데, 왜냐하면 반응하는 비트 라인의 반응하지 않는 셀들에 의해 전류들이 발생하기 때문이다. 본원에서 비트 라인 당  $N = 1000$  셀로부터 출발하기 때문에, 상기의 효과는 상대적으로 강하다. 오프셋 전압( $\Delta$ )은 완전하게 판통하여 워드 라인 전압( $VWL$ )에까지 미르게 된다. 그러나 다만 상기 오프셋 전압은 두 평가과정에서 등등하게 발생하는데, 이러한 점은 부분 보상을 야기한다. 판독 신호(S)의 경우 하기 방정식과 같이 생성된다 :

$$S = f(R)(N\Delta - VWL)$$

$f(R)$ 은 상이한 저항의 할수이며 그리고 비율이 지정되는 경우  $0.02$ 의 값을 갖는다.  $VWL = 1.2\text{ V}$ 의 값인 경우에  $\Delta$ 에 대한 상한값(upper limit)은  $1.2\text{ mV}$ 이다. 대략  $1\text{ mV}$ 의 오프셋을 가지는 증폭기는 오늘날 양호하게 제조 가능하며 그리고 수명시간이 몇몇 ns이며 그리고 출력전류가 몇몇  $\text{mA}$ 인 경우 몇몇  $\text{mA}$  정도의 전류소모량을 갖는다.

#### 3.2. 평가의 효과

데이터 '0'과 '1' 사이의 전압 차이는 앞서 가정한 조건하에서 예컨대  $24\text{mV}$ 의 값을 가질 수 있지만, 그럼에도 회로로부터 생성되는 또 다른 값을 포함할 수도 있다.  $24\text{mV}$ 의 값은 미치에 맞게 사용할 수 있다. MRAM의 이점을, 평가회로가 피치 영역의 장소에 제한을 받지 않는다는 점에 있는데, 왜냐하면 상기 평가 회로는 셀 필드의 외부에서도 문제없이 위치 설정될 수 있기 때문이다.

#### 3.3. 청구의 범위

청구항 1. 다수의 행 및/또는 다수의 열내에 배치되는 자기 저항성 메모리 셀들(3a, b, c, d)의 어레이를 가지며;

열에 속하는 메모리 셀(3a, b, c, d)의 제 1 자극과 접속되어 있는 각각의 열에 대한 하나의 비트 라인(4a, b)을 포함하며;

행에 속하는 메모리 셀(3a, b, c, d)의 제 2 자극과 접속되어 있는 각각의 행에 대한 하나의 워드 라인(5a, b)을 포함하며;

스위칭 소자(6a, 6b, 16)에 의해 워드 라인들의 제 1 단부들과 각각 접속될 수 있는 하나의 판독 전압원(U1)을 포함하며;

평가 라인을 통과하는 적어도 하나의 입력부가 스위칭 소자(8a, 8b, 11)에 의해 비트 라인(4a, b)의 제 1 단부와 각각 접속될 수 있는 하나의 전압 평가 장치(2)를 포함하며;

동시에 상기 평가 라인(10)에 의해서는 제 1 중단 저항기(R1)가 분기되는 자기 저항성 메모리에 있어서, 입력부가 평가 라인과 접속되어 있고, 출력부가 스위칭 소자(7a, 7b, 9a, 9b)에 의해 비트 라인(4a, 4b) 및 워드 라인(5a, 5b)의 제 2 단부와 각각 접속될 수 있는 임피던스 컨버터(1)를 포함하는 것을 특징으로 하는 자기 저항성 메모리.

청구항 2. 제 1 항에 있어서,

평가 라인은 비트 라인(4a, 4b)과 접속시키기 위한 하나의 연결선(10)과 및 스위칭 소자(20, 21)에 의해 상기 연결 라인(10)과 각각 접속될 수 있는 2개의 평가 경로(11, 12)를 포함하고 있으며;

동시에 상기 평가 경로(11, 12)에 의해서는 각각 하나의 중단 저항기(R1, R2)가 분기되며;

동시에 두 평가 경로(11, 12) 각각은 하나의 스위칭 소자(24, 25)에 의해 전압 평가 장치(2)의 한 입력부와 그리고 이 입력부에 대해 평행한 하나의 커파시터(C1, C2)와 접속될 수 있으며;

그리고 상기 두 평가 경로(11, 12) 각각은 하나의 스위칭 소자(22, 23)에 의해 임피던스 컨버터(1)의 입

력부와 그리고 이 입력부에 대해 평행한 하나의 커패시터(C3)와 접속될 수 있는 것을 특징으로 하는 자기 저항성 메모리.

청구항 3. 제 1 항 또는 제 2 항에 있어서,

자기 저항성 메모리는 또한 스위칭 소자(6a, 6b, 17)에 의해 워드 라인(5a, 5b)의 제 1 단부와 각각 접속될 수 있는 하나의 제 1 기록 전류원(11)을 포함하며;

스위칭 소자(8a, 8b, 18)에 의해 비트 라인(4a, 4b)의 제 1 단부와 각각 접속될 수 있는 하나의 제 2 기록 전류원(12)을 포함하고 있는 것을 특징으로 하는 자기 저항성 메모리.

청구항 4. 제 1 항 또는 제 2 항에 있어서,

평가 라인(10, 11, 12)과 비트 라인(4a, 4b)의 접속은 하나의 평가 스플리터(14)에 의해 비트 라인(4a, 4b)의 각각에 대한 하나의 스위칭 소자(8a, 8b)를 이용하여 이루어지는 것을 특징으로 하는 자기 저항성 메모리.

청구항 5. 제 4 항에 있어서,

상기 제 2 기록 전류원(12)과 비트 라인(4a, 4b)의 접속은 마찬가지로 평가 스플리터(14)에 의해 이루어지며, 동시에 제 2 기록 전류원(12)과 평가 라인(10, 11, 12)은 스위칭 소자(18, 19)에 의해 평가 스플리터(14)와 접속될 수 있는 것을 특징으로 하는 자기 저항성 메모리.

청구항 6. 제 1 항 또는 제 2 항에 있어서,

비트 라인 및 워드 라인(4a, 4b, 5a, 5b)과 임피던스 컨버터(1) 출력부의 접속은 하나의 버퍼 스플리터(15)에 의해 비트 및 워드 라인(4a, 4b, 5a, 5b) 각각에 대한 하나의 스위칭 소자(7a, 7b, 9a, 9b)를 이용하여 이루어지는 것을 특징으로 하는 자기 저항성 메모리.

청구항 7. 제 1 항 또는 제 2 항에 있어서,

워드 라인(5a, 5b)과 판독 전압원(U1)의 접속은 하나의 판독 스플리터(13)에 의해 각각의 워드 라인(5a, 5b)에 대한 하나의 스위칭 소자(6a, 6b)를 이용하여 이루어지는 것을 특징으로 하는 자기 저항성 메모리.

청구항 8. 제 7 항에 있어서,

워드 라인(5a, 5b)과 제 1 기록 전류원(11)의 접속은 마찬가지로 판독 스플리터(13)에 의해 이루어지며, 동시에 제 1 기록 전류원(11)과 판독 전압원(U1)은 스위칭 소자(16, 17)에 의해 판독 스플리터(13)를 이용하여 접속될 수 있는 것을 특징으로 하는 자기 저항성 메모리.

청구항 9. 제 1 항 또는 제 2 항에 있어서,

상기 스위칭 소자들이 트랜지스터인 것을 특징으로 하는 자기 저항성 메모리.

청구항 10. 자기 저항성 메모리내에 있는 메모리 셀을 판독하기 위한 방법으로서,

상기 자기 저항성 메모리는 다수의 행 및/또는 다수의 열내에 배치되는 자기 저항성 메모리 셀(3a, 3b, 3c, 3d)의 어레이를 가지며; 열에 속하는 메모리 셀(3a, b; 3c, d)의 제 1 자극과 접속되어 있는 각각의 열에 대해 하나의 비트 라인(4a, 4b)을 포함하며; 행에 속하는 메모리 셀(3a, c; 3b, d)의 제 2 자극과 접속되어 있는 각각의 행에 대한 하나의 워드 라인(5a, 5b)을 포함하며, 동시에 본 방법은 하기의 단계 :

A : 판독되어질 메모리 셀(3a)의 제 2 자극에 판독 전압원(U1)의 인가 단계;

B : 하나의 전압 평가 장치(2)를 이용하면서 제 1 증단 저항기(R1)를 통해 강하하는 전압의 평가 단계를 포함하며, 동시에 제 1 증단 저항기(R1) 및 전압 평가 장치(2)의 제 1 입력부는 판독되어질 메모리 셀(3a)의 제 1 자극과 접속되어 있는 방법에 있어서,

C : 제 1 증단 저항기(R1)를 통과하여 강하는 전압은 또한 임피던스 컨버터(1)의 입력부에 인가되어, 임피던스 컨버터(1)의 출력부에 있는 전압은 판독되어질 메모리 셀(3a)과 접속되어 있지 않은 워드 및 비트 라인(7b, 9b)에 인가되는 것을 특징으로 하는 방법.

청구항 11. 제 10 항에 있어서,

상기 임피던스 컨버터(1)의 출력 전압은 자신의 입력전압과 동일한 것을 특징으로 하는 방법.

청구항 12. 제 10 항 또는 제 11 항에 있어서,

상기 단계 A, B, C를 실제로 동시에 실행하는 것을 특징으로 하는 방법.

청구항 13. 제 10 항 또는 제 11 항에 있어서,

상기 평가 단계 B는 하기의 단계 :

B1 : 평가 라인(10, 11, 12)을 통과하면서 판독되어질 메모리 셀(3a)과 접속되어 있는 비트 라인(4a)을, 전압 평가 장치(2)의 제 1 입력부, 제 1 증단 저항기(R1) 및 임피던스 컨버터(1)의 입력부와의 접속 단계 ; 및

B2 : 전압 평가 장치(2) 내에서 제 1 입력부에 인가되어 있는 전압을 측정하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 14. 제 10 항 또는 제 11 항에 있어서,

상기 방법이 하기의 추가 단계를 :

D : 전압 평가 장치(2)의 제 1 입력부 및 임피던스 컨버터(1)의 입력부와 접속되어 있는 제 1 및 제 3 커파시터(C1, C3) 내에 제 1 증단 저항기(R1)를 통해 강하하는 전압의 저장 단계 ;

E : 제 1 증단 저항기(R1)로부터 전압 평가 장치(2)의 제 1 입력부 및 제 1 커파시터(C1)의 분리 단계 ;

F : 제 1 증단 저항기로부터 임피던스 컨버터의 입력부 및 제 3 커파시터의 분리 단계 ;

G : 판독되어질 메모리 셀(3a)로부터 판독 전압원(U1)의 분리 단계 ;

H : 판독되어질 메모리 셀(3a)로부터 제 1 증단 저항기(R1)의 분리 단계 ;

I : 모든 워드 및 비트 라인들(4a, 4b, 5a, 5b)에 임피던스 컨버터(1)의 출력부에 인가되어 있는 전압의 인가 단계 ;

J : 판독되어질 메모리 셀(3a)의 제 2 자극과 접속되어 있는 워드 라인에 제 1 전류원(I1)의 인가 단계 ;

K : 판독되어질 메모리 셀(3a)의 제 1 자극과 접속되어 있는 비트 라인에 제 2 전류원(I2)의 인가 단계 ;

L : 판독되어질 메모리 셀(3a)의 제 2 자극과 접속되어 있는 워드 라인으로부터 제 1 전류원(I1)의 분리 단계 ;

M : 판독되어질 메모리 셀(3a)의 제 1 자극과 접속되어 있는 비트 라인으로부터 제 2 전류원(I2)의 분리 단계 ;

N : 판독되어질 메모리 셀(3a)의 제 2 자극으로부터 임피던스 컨버터(1)의 출력부에 인가되어 있는 전압의 분리 단계 ;

O : 판독되어질 메모리 셀(3a)의 제 1 자극으로부터 임피던스 컨버터(1)의 출력부에 인가되어 있는 전압의 분리 단계 ;

P : 평가 라인을 통하여서 판독되어질 메모리 셀과 접속되어 있는 비트 라인을, 전압 평가 장치의 제 2 입력부, 제 2 증단 저항기(R2) 및 임피던스 컨버터의 입력부와의 접속 단계 ;

Q : 판독되어질 메모리 셀(3a)의 제 2 자극에 판독 전압원(U1)의 인가 단계 ;

R : 동시에 제 2 증단 저항기(R2), 제 2 커파시터(C2) 및 전압 평가 장치(2)의 제 2 입력부가 판독되어질 메모리 셀(3a)의 제 1 자극과 접속되어 있는 상태에서, 제 2 증단 저항기(R2)에 대해 평행한 제 2 커파시터(C2) 내에, 제 2 증단 저항기(R2)를 통해 강하하는 전압의 저장 단계 ;

S : 저장 평가장치(2) 내에서 제 1 및 제 2 커파시터(C1, C2) 내에 저장된 전압의 비교 단계를 포함하는 것을 특징으로 하는 방법.

청구항 15. 제 10 항 또는 제 11 항에 있어서,

상기 단계 A, B, C, D를 실제로 동시에 실행하는 것을 특징으로 하는 방법.

청구항 16. 제 10 항 또는 제 11 항에 있어서,

상기 단계 E와 F를 실제로 동시에 실행하는 것을 특징으로 하는 방법.

청구항 17. 제 10 항 또는 제 11 항에 있어서,

상기 단계 G와 H를 실제로 동시에 실행하는 것을 특징으로 하는 방법.

청구항 18. 제 10 항 또는 제 11 항에 있어서,

상기 단계 J와 K를 실제로 동시에 실행하는 것을 특징으로 하는 방법.

청구항 19. 제 10 항 또는 제 11 항에 있어서,

상기 단계 L과 M을 실제로 동시에 실행하는 것을 특징으로 하는 방법.

청구항 20. 제 10 항 또는 제 11 항에 있어서,

상기 단계 N, O 및 P를 실제로 동시에 실행하는 것을 특징으로 하는 방법.

청구항 21. 제 10 항 또는 제 11 항에 있어서,

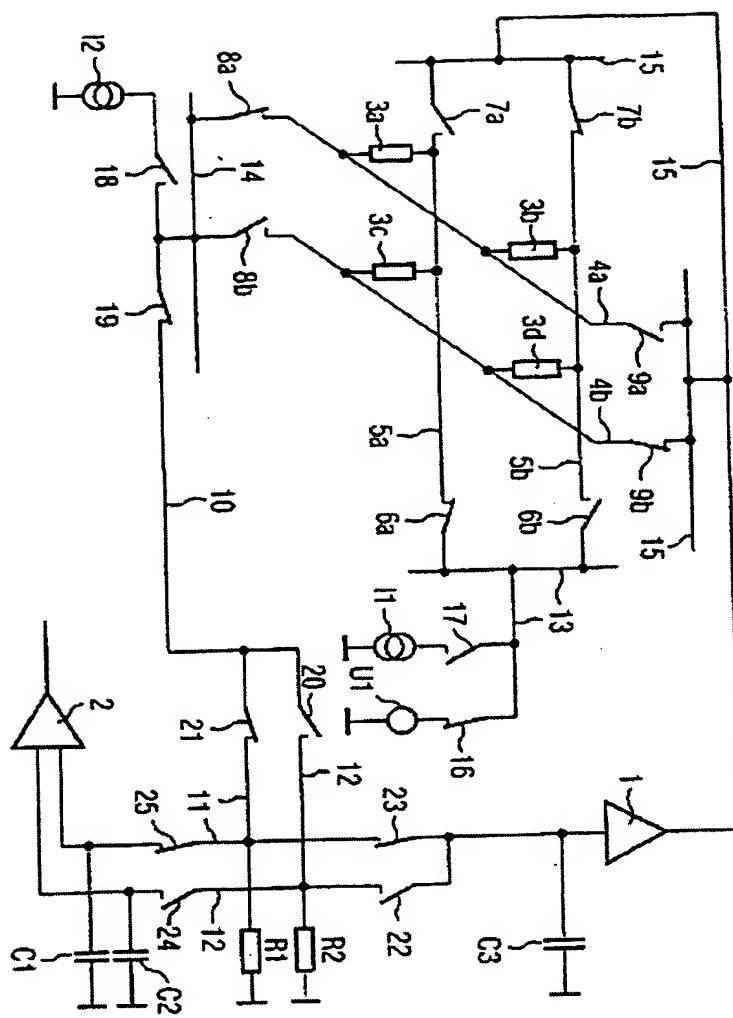
상기 단계 Q와 S를 실제로 동시에 실행하는 것을 특징으로 하는 방법.

청구항 22. 제 10 항 또는 제 11 항에 있어서,

자기 저항성 메모리의 판독되어질 하나의 메모리 셀의 판독 전압을 버퍼링 하기 위해서 및 자기 저항성 메모리의 워드 라인 및 비트 라인에 버퍼링된 신호를 인가하기 위해서 임피던스 컨버터를 사용하는 것을 특징으로 하는 방법.

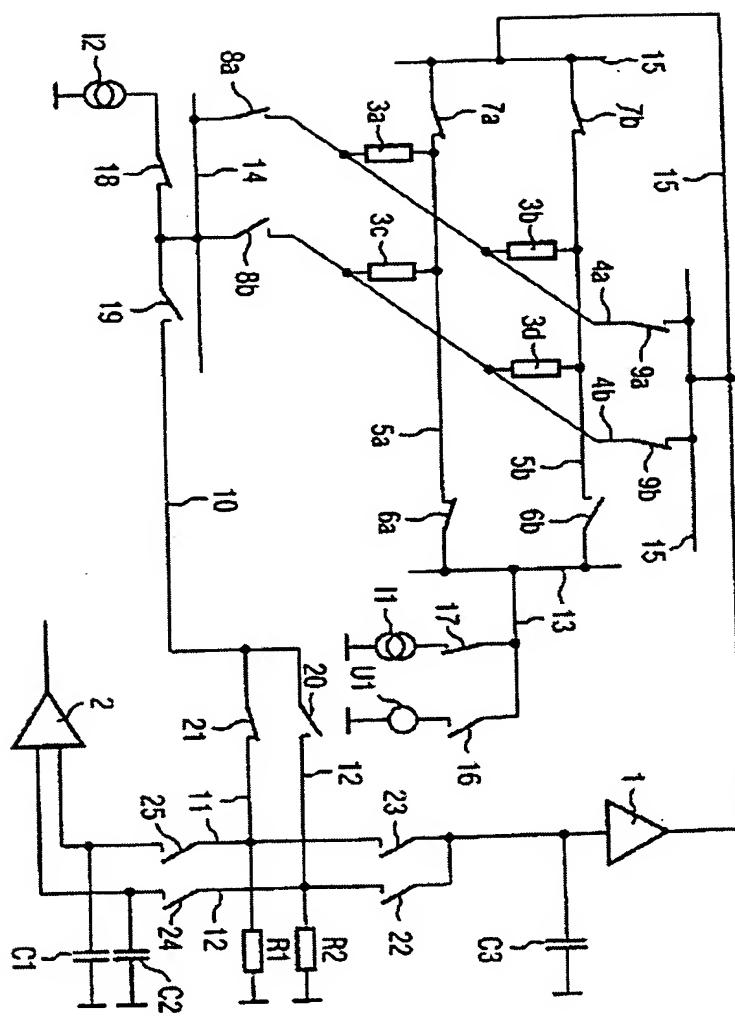
도면

581

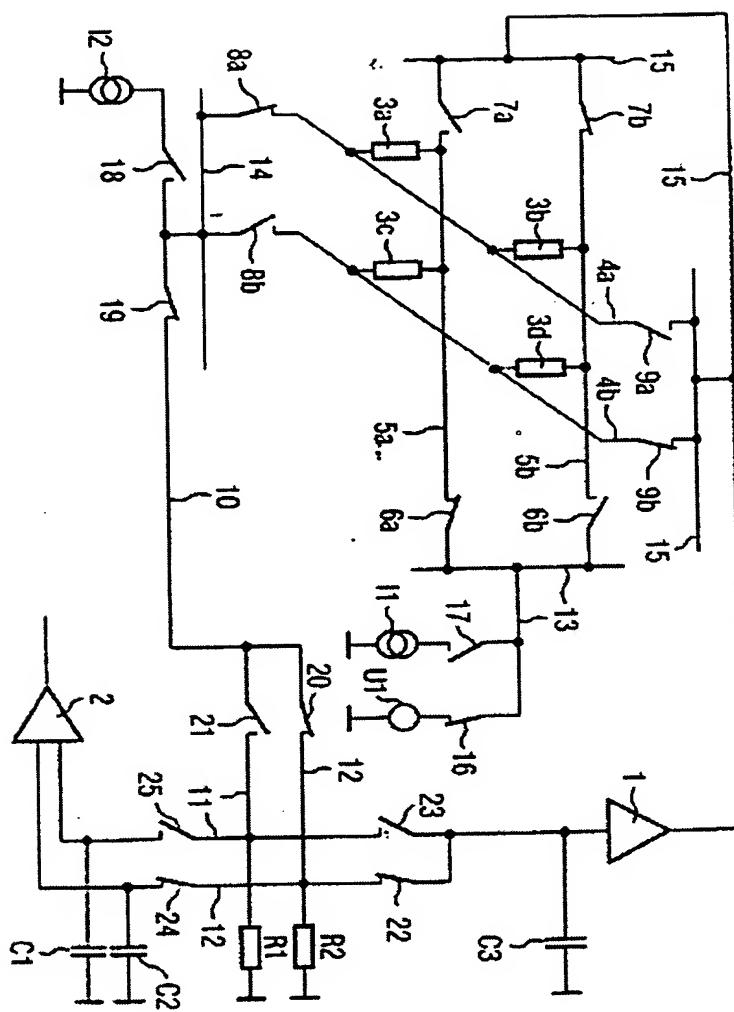


12-10

582



583



12-12